Оглавление

[1.Введение 2](#_Toc312518232)

[2.Иерархия шин Pci Express 3](#_Toc312518233)

[Pci Express 1.0 3](#_Toc312518234)

[PCIe 1.0a 3](#_Toc312518235)

[PCIe 1.1. 3](#_Toc312518236)

[PCI Express 2.0 3](#_Toc312518237)

[PCI Express 2.1 3](#_Toc312518238)

[3. Соединение PCI Express 5](#_Toc312518239)

[4.Конкурирующие интерфейсы 10](#_Toc312518240)

[HyperTransport 10](#_Toc312518241)

[RapidIO 11](#_Toc312518242)

[InfiniBand 12](#_Toc312518243)

[5.Отличия PCI Express от PCI 15](#_Toc312518244)

[Ключевые отличия: 15](#_Toc312518245)

[6. Дополнительные возможности PCI Express 16](#_Toc312518246)

[7.Формат пакетов шины PCI-Express 19](#_Toc312518247)

[8.Выводы 24](#_Toc312518248)

[9.Дополнения 25](#_Toc312518249)

[10.Список Литературы 26](#_Toc312518250)

# 

# 1.Введение

PCI Express- компьютерная шина, использующая программную модель шины и высокопроизводительный физический протокол, основанный на последовательной передаче данных.

В отличие от шины PCI, использовавшей для передачи данных общую шину, PCI Express, в общем случае, является пакетной сетью с топологией типа звезда, устройства PCI Express взаимодействуют между собой через среду, образованную коммутаторами, при этом каждое устройство напрямую связано соединением типа точка-точка с коммутатором.

Кроме того, шиной PCI Express поддерживается:

1)горячая замена карт;

2)гарантированная полоса пропускания (*QoS*)[2];

3)управление энергопотреблением;

4)контроль целостности передаваемых данных.

Разработка стандарта PCI Express была начата фирмой Intel после отказа от шины InfiniBand[3]. Официально первая базовая спецификация PCI Express появилась в июле 2002 года.

Шина PCI Express нацелена на использование только в качестве локальной шины. Так как программная модель PCI Express во многом унаследована от PCI, то существующие системы и контроллеры могут быть доработаны для использования шины PCI Express заменой только физического уровня, без доработки программного обеспечения. Высокая пиковая производительность шины PCI Express позволяет использовать её вместо шин AGP и тем более PCI и PCI-X[4]. Де-факто PCI Express заменила эти шины в персональных компьютерах.

# 2.Иерархия шин Pci Express

Pci Express 1.0 - Битрейт в PCIe 1.0 составляет 2,5 Гбит/с. Для расчёта пропускной способности шины необходимо учесть дуплексности избыточность 8b/10b (8 бит в десяти). Например, дуплексная пропускная способность соединения x1 составляет: 4 Гбит/с.

PCI Express 1.0 способны обеспечить видеокарту лишь 150 Вт мощности.

Соединения x1 x2 x4 x8 x12 x16 x32

PCIe 1.0 2/4 4/8 8/16 16/32 24/48 32/64 64/128

PCIe 1.0a со скоростью передачи данных (data rate) 250 MB/s и скоростью передачи (transfer rate) 2.5 GT/s , была введена в 2003 году.

PCIe 1.1. Эта обновленная спецификация включает разъяснения и несколько усовершенствований, но полностью совместима с Экспрессом PCI 1.0a. Никакие изменения не были произведены в скорости передачи данных, была введена в 2005 году.

PCI Express 2.0 имеет 8-штырьковые разъёмы питания и предельно допустимую мощность не более 300 Вт. Спецификация PCI Express 2.0 стандарта удваивают скорость передачи по сравнению с PCIe 1.0 к 5 Гбит/с, была введена в 2007 году.

Устройства с интерфейсом PCI Express 2.0 смогут работать в материнских платах, оснащённых слотом PCI Express x16 поколения PCI Express 1.x, но только на скорости 2,5 Гбит/с.

Основные функции: динамическое управление скоростью, оповещение о пропускной способности, службы управления доступом, управление таймаутом выполнения, переопределение предела по мощности

Соединения x1 x2 x4 x8 x12 x16 x32

PCIe 2.0 4/8 8/16 16/32 32/64 48/96 64/128 128/256

PCI Express 2.1 - по физическим характеристикам (скорость, разъём) соответствует 2.0, в программной части добавлены функции которые в полной мере планируют внедрить в версии 3.0. Так как большинство системных плат продаются с версией 2.0, наличие только самой видеокарты с 2.1, не даёт задействовать данный режим.

В ноябре 2010 года были утверждены спецификации версии PCI Express 3.0. Интерфейс обладает скоростью передачи данных 8 Г/с. Но, несмотря на это, его реальная пропускная способность всё равно была увеличена вдвое по сравнению со стандартом PCI Express 2.0. Этого удалось достигнуть благодаря более новой схеме кодирования 128b/130b, когда 128 бит данных пересылаемых по шине кодируются 130 битами. PCI Express 2.0 обладает скоростью передачи данных 5 Г/с и схемой кодирования 8b/10b. При этом сохранилась совместимость с предыдущими версиями PCI Express. По данным PCI-SIG, первые тесты PCI Express 3.0 начнутся в 2011 году, средства для проверки совместимости для партнеров появятся лишь в середине 2011-го.

Соединения x1 x2 x4 x8 x12 x16 x32

PCIe 3.0 8/16 16/32 32/64 64/128 96/192 128/256 256/512

Ориентированный выход интерфейса PCI Express 4.0 в 2015 году. Разработчики обещают скорость в 2 раза больше чем на интерфейсе PCI Express 3.0 то есть 16 Г/с.

Соединения x1 x2 x4 x8 x12 x16 x32

PCIe 4.0 16/32 32/64 64/128 128/256 192/384 256/512 512/1024

# 3. Соединение PCI Express

Соединение PCI Express (PCI Express Link) — это пара встречных симплексных каналов, соединяющих два компонента. По этим каналам передаются пакеты, несущие команды и данные транзакций, сообщения и управляющие посылки. Канал может быть образован одной или несколькими линиями передачи сигналов (Lane); применение нескольких линий позволяет масштабировать пропускную способность канала. В PCI Express с помощью пакетного протокола реализуются все транзакции чтения и записи, используемые в PCI, причем в расщепленном варианте (как в PCI-X). Таким образом, здесь фигурируют за- просчик (requester) и исполнитель (completer) транзакции. В PCI Express рассматриваются четыре пространства: памяти, ввода-вывода, конфигурационное и сообщений. Новое (по сравнению с PCI) пространство сообщений (message space) используется для передачи в виде пакетов «внеполосных» сигналов PCI: прерываний по линиям INTx, сигналов управления потреблением и т. п. Таким образом реализуются «виртуальные провода». Порт PCI Express содержит передатчик, приемник и узлы, необходимые для сборки-разборки пакетов.

Пример топологии средств ввода-вывода, иллюстрирующий архитектуру PCI Express, приведен на рис. 1. Центральным элементом архитектуры является корневой комплекс (root complex), соединяющий иерархию ввода-вывода с центром — процессором (одним или несколькими) и памятью. Корневой комплекс может иметь один и более портов PCI Express, каждый из этих портов определяет свой домен иерархии (hierarchy domain). Каждый домен состоит из одной конечной точки (endpoint) или субиерархии — нескольких конечных точек, связанных коммутаторами. Наличие непосредственных одноранговых коммуникаций между элементами разных доменов обязательным не является, но может иметь место в конкретных реализациях. Для обеспечения прозрачных одноранговых коммуникаций в корневом комплексе должны присутствовать коммутаторы. Возможность взаимодействия центрального процессора с любым устройством любого домена безусловна, как и возможность обращения любого устройства к памяти. Корневой комплекс должен генерировать запросы к конфигурационному пространству — его роль аналогична главному мосту PCI.

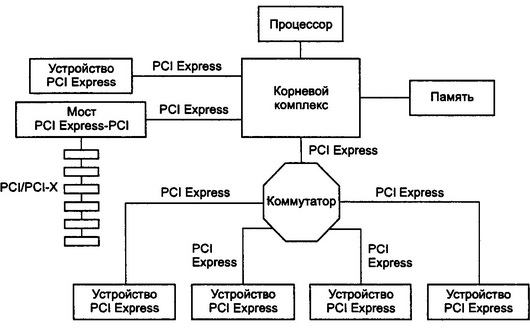


Рис. 1. Топология «фабрики» PCI Express

Конечная точка — это устройство, способное инициировать или/и исполнять транзакции PCI Express от своего имени или от имени устройства, не являющегося устройством PCI Express (например, от имени хост-контролера USB). Конечная точка должна быть видима в одном из доменов иерархии — представлять в нем свои конфигурационные регистры и отвечать как исполнитель на конфигурационные запросы. В качестве механизма сигнализации прерываний все конечные точки используют MSI. В PCI Express рассматриваются два типа конечных точек: «наследники» (legacy) и новые точки, построенные по идеологии PCI Express. К «наследным» точкам имеется ряд послаблений в плане адресации памяти, перемещаемости ресурсов (из пространства ввода-вывода в пространство памяти) и некоторых нюансов.

Коммутатор (switch) имеет несколько портов PCI Express. Логически он представляет собой несколько виртуальных мостов PCI-PCI, соединяющих порты коммутатора со своей внутренней локальной шиной. Однако тех издержек, которые вносят «настоящие» мосты PCI, коммутатор не вносит. Коммутатор транслирует между портами пакеты всех типов, основываясь на адресной информации, актуальной для пакета данного типа. Арбитраж между портами коммутатора может учитывать виртуальные каналы и, соответственно, взвешенно распределять пропускную способность. Коммутатор не имеет права разбивать пакеты на более мелкие (у мостов PCI такое право имеется).

Мост PCI-Express-PCI соединяет иерархию шин PCI/PCI-X с «фабрикой» ввода-вывода.

Конфигурирование «фабрики» осуществляется либо со 100-процентной совместимостью с конфигурационным механизмом PCI 2.3, либо с использованием расширенного конфигурационного пространства PCI-X. Каждое соединение PCI Express с помощью виртуальных мостов отображается в виде логической шины PCI со своим номером. Логически устройства отображаются в конфигурационном пространстве как устройства PCI, каждое из которых может иметь 1-8 функций со своим набором конфигурационных регистров.

Для подключения устройства PCI Express используется двунаправленное последовательное соединение типа точка-точка, называемое линией (англ. lane — полоса, ряд); это резко отличается от PCI, в которой все устройства подключаются к общей 32-разрядной параллельной двунаправленной шине.

Соединение (англ. link — связь, соединение) между двумя устройствами PCI Express и состоит из одной (x1) или нескольких (x2, x4, x8, x12, x16 и x32) двунаправленных последовательно соединённых линий. Каждое устройство должно поддерживать соединение по крайней мере с одной линией (x1).

На электрическом уровне каждое соединение использует низковольтную дифференциальную передачу сигнала (LVDS), приём и передача информации производится каждым устройством PCI Express по отдельным двум проводникам, таким образом, в простейшем случае, устройство подключается к коммутатору PCI Express всего лишь четырьмя проводниками.

Использование подобного подхода имеет следующие преимущества:

1)Карта PCI Express помещается и корректно работает в любом слоте той же или большей пропускной способности (например, карта x1 будет работать в слотах x4 и x16);

2)Слот большего физического размера может использовать не все линии (например, к слоту x16 можно подвести проводники передачи информации, соответствующие x1 или x8, и всё это будет нормально функционировать; однако, при этом необходимо подключить все проводники питания и заземления, необходимые для слота x16).

В обоих случаях, на шине PCI Express будет использоваться максимальное количество линий, доступных как для карты, так и для слота. Однако это не позволяет устройству работать в слоте, предназначенном для карт с меньшей пропускной способностью шины PCI Express. Например, карта x4 физически не поместится в стандартный слот x1, несмотря на то, что она могла бы работать в слоте x4 с использованием только одной линии. На некоторых материнских платах можно встретить нестандартные слоты x1 и x4, у которых отсутствует крайняя перегородка, таким образом, в них можно устанавливать карты большей длины чем разъем. При этом не обеспечивается питание и заземление выступающей части карты, что может привести к различным проблемам.

PCI Express пересылает всю управляющую информацию, включая прерывания, через те же линии, что используются для передачи данных. Последовательный протокол никогда не может быть заблокирован, таким образом задержки шины PCI Express вполне сравнимы с таковыми для шины PCI (заметим, что шина PCI для передачи сигнала о запросе на прерывание использует отдельные физические линии IRQ#A, IRQ#B, IRQ#C, IRQ#D).

Во всех высокоскоростных последовательных протоколах (например, гигабитный Ethernet), информация о синхронизации должна быть встроена в передаваемый сигнал. На физическом уровне, PCI Express использует метод канального кодирования 8b/10b (8 бит в десяти, избыточность — 20%) для устранения постоянной составляющей в передаваемом сигнале и для встраивания информации о синхронизации в поток данных. В PCI Express 3.0 используется более экономное кодирование 128b/130b с избыточностью 1,5%.

Некоторые протоколы (например, SONET/SDH) используют метод, который называется скремблинг (англ. scrambling) для встраивания информации о синхронизации в поток данных и для "размывания" спектра передаваемого сигнала. Спецификация PCI Express также предусматривает функцию скремблинга, но скремблинг PCI Express отличается от такового для SONET.

# 4.Конкурирующие интерфейсы

Существует ещё ряд высокоскоростных стандартизованных последовательных интерфейсов, вот только некоторые из них: HyperTransport, InfiniBand, RapidIO.

HyperTransport - Разработка шины Lightning Data Transfer (LDT) была начата AMD в 1997 году. Несколько позже к компании из Саннивэйл присоединились такие гиганты как API Networks, Apple Computer, Cisco Systems, Nvidia, PMC-Sierra, Sun Microsystems, немного позже Transmeta и Acer Laboratories и, буквально на днях, VIA Technologies, и другие компании, образовав HyperTransport Technology Consortium. Разработка и внедрение протокола HyperTransport должно решить проблемы, связанные со скоростью, ценой, мастштабируемостью, универсальностью соединений в ПК и т.п., суть которых описана выше.

Устройства, поддерживающие протокол HyperTransport (процессоры, наборы логики, контроллеры) соединены по принципу "точка-точка" (peer-to-peer), что теоретически означает, что между собой могут быть соединены любые компоненты системы, причем без применения каких-либо коммутаторов или мостов. Каждое соединение состоит из субсоединения Передачи (Tx) и субсоединения Получения (Rx), работающих асинхронно. Передача данных организована в виде пакетов длиной до 64 байт (это значение должно быть кратно четырем). Протокол HyperTransport предполагает передачу данных по обоим фронтам сигнала.

Соединение HyperTransport может иметь магистраль шириной 2, 4, 8, 16, 32 или 64 бита в каждом направлении (Tx или Rx). Кроме того, соединения могут работать на разной тактовой частотой (от 200 до 800 МГц) в зависимости от требований к конкретному решению. Таким образом, HyperTransport предоставляет инженерам и разработчикам огромную гибкость: в случае устройств с высокими требованиями к пропускной способности (процессоры) используется пара 32-х битных соединений с частотой в 800 МГц, обеспечивающие 6.4 ГБ/сек для Tx и 6.4 ГБ/сек для Rx соединения (результирующая линейная пропускная способность - 12.8 ГБ/сек), тогда как для сообщения между менее требовательными к скорости передачи данных компонентами (например, внутри какого-либо переносного устройства), можно задействовать четырехбитную (2 по 2 бита) магистраль, работающую на 200 МГц, что даст по 100 МБ/сек для каждого направления.

Следует отметить, что устройства с разными режимами передачи данных смогут работать вместе в режиме менее быстрого. Иными словами, предполагается возможность выбора режима работы компонента. Например, устройство с шиной в 16 бит может быть подключено к устройству с режимами работы от 2 до 8 бит. Это же самое устройство может быть подключено к более быстрому, с магистралью от 32 до 64 бит.

Также необходимо упомянуть, что HyperTransport программно совместим с текущим PCI, иначе говоря, все ПО, разработанное с учетом моделей адресации и инициализации протокола PCI, будет иметь возможность функционировать и на HyperTransport платформе.

Версия Год Частота Ширина Максимальная пропускная способность

1.0 2001 800 МГц 32 бит 12,8 Гбайт/c

1.1 2002 800 МГц 32 бит 12,8 Гбайт/c

2.0 2004 1,4 ГГц 32 бит 22,4 Гбайт/c

3.0 2006 2,6 ГГц 32 бит 41,6 Гбайт/c

3.1 2008 3,2 ГГц 32 бит 51,6 Гбайт/c

RapidIO — это высокопроизводительный интерфейс передачи данных для соединения микросхем в рамках одной печатной платы, а также для соединения между собой нескольких печатных плат. Данный интерфейс был разработан для применения во встраиваемых системах.

Основными конкурентами RapidIO являются HyperTransport, Infiniband и PCI Express, которые, однако, предназначены для решения других задач.

Интерфейс RapidIO разработан компаниями Mercury Computer Systems и Motorola (ныне Freescale) как развитие шины, применявшейся в многопроцессорных системах цифровой обработки сигналов компании Mercury. Спецификации интерфейса RapidIO разработаны организацией RapidIO Trade Association. На настоящий момент последней является версия 2.2 спецификации.

Спецификации RapidIO определяют физический (соответствует физическому и канальному уровню модели OSI), транспортный (соответствует сетевому уровню модели OSI) и логический (соответствует транспортному уровню модели OSI) уровни.

Имеется две спецификации физического уровня:

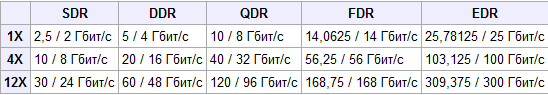
LP-LVDS — канал точка-точка представляет собой параллельный 8- или 16-разрядный дуплексный интерфейс, частота тактового сигнала — 250, 375, 500, 750 или 1000 МГц;

LP-Serial — канал точка-точка представляет собой последовательный дуплексный интерфейс, состоящий из 1, 2, 4, 8 или 16 подканалов (англ. lane), скорость передачи битового потока: 1,25, 2,5, 3,125, 5 или 6,25 ГБод.

InfiniBand-Подобно PCI Express, Infiniband использует двунаправленную последовательную шину. Базовая скорость — 2,5 Гбит/с в каждом направлении, применяются порты, состоящие из групп в 1x, 4x и 12x базовых двунаправленных шин (англ. lanes). Существуют режимы Single Data Rate (SDR) - работа с базовой скоростью, Double Data Rate (DDR) - битовая скорость равна удвоенной базовой и Quad Data Rate (QDR) - соответственно, учетверенной. Режимы SDR, DDR и QDR используют кодирование 8B/10B. В настоящий момент (2011 г.) чаще всего применяются порты 4x QDR.

Базовая скорость 1х шины для режима FDR составляет 14.0625 Гбит/с, а для EDR 25.78125 Гбит/с. Режимы FDR и EDR используют кодирование 64/66B.

Основное назначение Infiniband — межсерверные соединения, в том числе и для организации RDMA (Remote Direct Memory Access).



Infiniband используется основные протоколами и API:

RDMA (англ. Remote Direct Memory Access) — группа протоколов удалённого прямого доступа к памяти, при котором передача данных из памяти одного компьютера в память другого компьютера происходит без участия операционной системы, при этом исключается участие CPU в обработке кода переноса и необходимость пересылки данных из памяти приложения в буферную область ОС, то есть данные пересылаются напрямую на соответствующий сетевой контроллер.

uDAPL (англ. User Direct Access Programming Library) — библиотека API для абстрактного транспорта прямого доступа (англ. Direct Access Transport, DAT). uDAPL (и другие API — в частности kDAPL — kernel DAPL) разрабатывается и поддерживается организацией DAT Collaborative.

IPoIB (IP over Infiniband) — группа протоколов, описывающих передачу IP-пакетов поверх Infiniband

SRP (англ. SCSI RDMA Protocol) — протокол обмена данными между SCSI-устройствами с использованием RDMA. Определён в стандарте ANSI INCITS 365—2002.

SDP (англ. Socket Direct Protocol) — протокол установления виртуальных соединений и обмена данными между сокетами поверх Infiniband, передача данных не использует TCP стек ОС, однако использует IP-адреса и может использовать IPoIB для их разрешения.

Стандартизированный высокоскоростной интерфейс с одной стороны должен обладать гибкостью и расширяемостью, а с другой стороны должен обеспечивать низкое время задержки и невысокие накладные расходы (то есть доля служебной информации пакета не должна быть велика). В сущности, различия между интерфейсами заключаются именно в выбранном разработчиками конкретного интерфейса компромиссе между этими двумя конфликтующими требованиями.

К примеру, дополнительная служебная маршрутная информация в пакете позволяет организовать сложную и гибкую маршрутизацию пакета, но увеличивает накладные расходы на обработку пакета, также снижается пропускная способность интерфейса, усложняется программное обеспечение, которое инициализирует и настраивает устройства, подключенные к интерфейсу. При необходимости обеспечения горячего подключения устройств необходимо специальное программное обеспечение, которое бы отслеживало изменение в топологии сети. Примерами интерфейсов, которые приспособлены для этого являются RapidIO, InfiniBand и StarFabric.

В то же время, укорачивая пакеты можно уменьшить задержку при передаче данных, что является важным требованием к интерфейсу памяти. Но небольшой размер пакетов приводит к тому, что доля служебных полей пакета увеличивается, что снижает эффективную пропускную способность интерфейса. Примером интерфейса такого типа является HyperTransport.

Положение PCI Express — между описанными подходами, так как шина PCI Express предназначена для работы в качестве локальной шины, нежели шины процессор-память или сложной маршрутизируемой сети. Кроме того, PCI Express изначально задумывалась как шина, логически совместимая с шиной PCI, что также внесло свои ограничения.

# 5.Отличия PCI Express от PCI

## Ключевые отличия:

1)Как уже неоднократно упоминалось — новая шина последовательна, а не параллельна. Основные преимущества — снижение стоимости, миниатюризация, лучшее масштабирование, более выгодные электрические и частотные параметры (нет необходимости синхронизировать все сигнальные линии);

2)Спецификация разделена на целый стек протоколов, каждый уровень которого может быть усовершенствован, упрощен или заменен не сказываясь на остальных. Например — может быть использован иной носитель сигнала или может быть упразднена маршрутизация в случае выделенного канала только для одного устройства. Могут быть добавлены дополнительные контрольные возможности. Развитие такой шины будет происходить гораздо менее болезненно — увеличение пропускной способности не потребует изменять контрольный протокол и наоборот. Быстро и удобно разрабатывать адаптированные варианты специального назначения;

3)В изначальной спецификации заложены возможности горячей замены карт;

4)В изначальной спецификации заложены возможности создания виртуальных каналов, гарантирования пропускной полосы и времени отклика, сбора статистики QoS (Quality of Service — Качество Обслуживания);

5)В изначальной спецификации заложены возможности контроля целостности передаваемых данных (CRC);

6)В изначальной спецификации заложены возможности управления питанием.

# 6. Дополнительные возможности PCI Express

Стоит упомянуть и о других новых возможностях, появившихся в стандарте PCI Express (по сравнению с PCI) — поддержке виртуальных каналов, QoS (Quality of Service) и изохронной передаче данных. Начнём с рассмотрения механизма, обеспечивающего совместимость PCI Express с обычным PCI. Как мы уже заметили, сегодняшний физический уровень PCI Express обеспечивает лишь соединения «точка-точка», что вынуждает использовать для подключения множества устройств специальные свитчи, объединяя устройства в «звездную» сеть. Но «классическая» PCI — параллельная шина, к тому же использующая механизм прерываний, не поддерживаемый в PCI Express! Сравните: если в случае PCI у нас в ПК было, скажем, две шины — одна для графического адаптера (AGP), и другая — для всех остальных устройств, обращения к которым так и производились по адресу — «шина такая-то, устройство такое-то», то при переходе на PCI Express от былой топологии не остается и следа. В нашем примере (см. рисунок) появляется семь шин PCI Express (не считая шины, соединяющей северный и южный мосты чипсета), причем шесть из них относятся к единственной бывшей PCI (bus 1). К счастью, механизмы маршрутизации, заложенные в стандарт, позволяют особенно не задумываться над этим вопросом — при пересылке пакетов «свитчи» сами определят, на какую шину его необходимо передать. Отправителю достаточно указать устройство-получатель и пакет каким-то образом до него дойдет. То есть ПО теперь работает не непосредственно с аппаратурой, а с непонятно каким образом функционирующими *виртуальными каналами* данных (старая схема адресации «шина-устройство-функция устройства» при этом сохраняется, хотя такое разделение теперь достаточно условно). Для полной имитации «обычной» PCI-шины контроллер PCI Express даже имитирует прерывания этой шины при поступлении от устройства соответствующего сообщения (служебная информация вроде вызова прерывания также передается в виде пакетов). Впрочем, как уже говорилось, к механизму сообщений есть и прямой доступ, без использования этого режима совместимости.

Итак, с устройствами можно продолжать работать, как с обычными PCI, но «виртуальность» этой шины позволяет обеспечить большую гибкость полученной системы. Каждый виртуальный канал до устройства (напомним, что их может быть по нескольку на каждое устройство — для этого и нужна последняя компонента PCI-адреса) никак не привязан к «физическому» носителю, а значит, его можно настроить произвольным образом. Например, стандарт позволяет указывать для виртуального канала его пропускную способность и максимально допустимую задержку передачи данных по нему. Физическая среда передачи данных, конечно, накладывает некоторые ограничения на допустимые здесь значения — больше 200 Мбайт/с через PCI Express 1x при всем желании пропустить невозможно. Виртуальные каналы создаются и изменяются «на лету» — например, плата видеозахвата может большую часть времени обходиться единственным каналом доставки сообщений и запрашивать дополнительный виртуальный канал для передачи данных лишь в момент подключения к ней внешнего устройства. Если у контроллера PCI Express для создания канала не хватит физических ресурсов, то он честно об этом сообщит, но если канал будет создан, то он будет в точности отвечать запрошенным параметрам и никакие «внешние» события — активизация других PCI-устройств, действия пользователя и т.п. на него не повлияют (QoS — запрошенный сервис обладает гарантированным качеством).

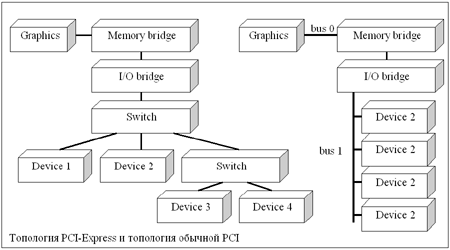


Рис 2.(Топология PCIe и PCI)

Помимо каналов с гарантированной пропускной способностью PCI Express поддерживает также создание изохронных каналов — информация по ним передается с гарантированной максимальной задержкой (это нужно для устройств, работающих в режиме реального времени - например, для устройств, передающих по сети человеческую речь). Впрочем, QoS устройство может отключить (собственно при работе в режиме совместимости с PCI так и происходит), тогда «виртуальным каналам» устройства будут отводиться все остающиеся после QoS-каналов ресурсы шины. «Физическая» реализация QoS и изохронности зависит от конкретной реализации контроллеров PCI Express и использующихся «свитчей», но в конечном итоге все это сводится лишь к тому, какие из пакетов, претендующих на одновременную передачу по одной и той же шине, контроллер пошлет в первую очередь, а какие — лишь по мере возможности. Возможный вариант: изохронные пакеты идут «вне очереди», остальное время пропорционально делится между устройствами, требующими некоторую заданную полосу пропускания и лишь все, что остается распределяется между «обычными», не приоритетными пакетами данных, которые передаются в порядке их поступления в контроллер.

В новой шине также поддерживаются режимы пониженного энергопотребления — в полном соответствии с «четырехуровневыми» стандартами ACPI. Линия PCI Express может «отключаться», если она не используется в данный момент для передачи данных — отключаются линии передачи тактового сигнала, линии приема и передачи данных (и вместе с ними могут отключаться и приемник и передатчик в PCI-Express контроллере), с устройства может быть снято питание — целиком (устройство «логически выключено») или частично (остается маломощное дежурное напряжение питания, функционирует «линия пробуждения» WAKE#, по которой передается сигнал на перевод устройства в нормальный рабочий режим). Если шина состоит из нескольких линий, то при небольшой загрузке шины можно отключать ненужные в данный момент линии (например, использовать PCI Express x4 как x1, а три линии выключить). Переключение в «энергосберегающий» режим при этом может потребовать как само устройство PCI Express, так и «система» в целом — скажем, при переходе в «спящий режим» (hibernate). В «десктопных» вариантах шины PCI Express энергосберегающие режимы являются необязательными (то есть могут быть реализованы, а могут и нет), но в мобильных описанные возможности являются обязательными.

# 7.****Формат пакетов шины PCI-Express****

vrezka2_ris2

Frame — начальный и конечный фрейм пакета - его добавляет физический уровень для определения начала и окончания передачи пакета данных;  
Packet # — номер пакета, добавляется на сетевом уровне чтобы пакеты можно было отличить друг от друга;  
Header — заголовок пакета, описывает тип пакета, получателя, приоритет и другие свойства, это информация транспортного уровня;  
Data — собственно данные пакеты;  
CRC — контрольная сумма пакета.

Fmt — указание типа заголовка (12 или 16 байт) и признак наличия в пакете данных;  
Type — тип пакета (один из четырех основных типов - Memory, I/O, Config, Message и бит, определяющий запрос это или ответ на запрос);  
RequestorID — получатель пакета (шина, устройство, функция устройства);  
Reserved — зарезервированное поле;  
Traffic Class — используется для маршрутизации;  
Address/Routing — адрес в памяти, куда предназначается пакет (32- или 64-разрядный) или иная информация о маршрутизации пакета;  
Length — объем передаваемых в пакете данных;  
Attr — вспомогательные атрибуты пакета (Snoop, Ordering);  
Tag — идентификатор транзакции (Transaction Tag);  
Reserved — зарезервированное поле;  
Byte Enables — вспомогательная информация.

В самом низу этой пирамиды (рис. 2) размещается собственно физическая реализация шины передачи данных  — это две независимые дифференциальные пары проводников с импедансом 50 Ом (первая пара работает на прием данных, вторая - на передачу), данные по которым передаются с использованием избыточного кодирования по схеме «8/10» с исправлением ошибок. Если говорить более простым языком, то каждый байт (8 бит) данных, по определенной схеме кодируется 10 битами передаваемых данных (10 бит для передачи этой информации многовато, поэтому его и называют избыточным). Избыточное кодирование позволяет исправлять многие простые ошибки, неизбежные на столь высоких частотах, без привлечения протоколов вышележащих уровней и без лишних повторных передач пакетов. Кроме того, это нужно для того, чтобы уменьшить долю «постоянных» составляющих в сигнале (не более 4 нулей или единиц подряд, см. рис. 3) — обеспечить баланс дифференциальной пары по постоянному току и позволить приемнику уверенно синхронизироваться по фронтам поступающего сигнала, поскольку никакого дополнительного («внешнего») синхронизирующего сигнала от тактового генератора в PCI Express не используется.

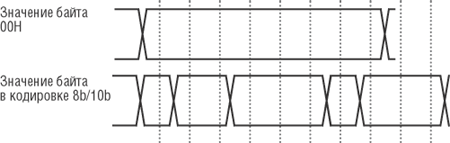


Рис. 3. Иллюстрация принципа кодирования 8b/10b.

В качестве рабочих напряжений выбраны уровни от 0,2 до 0,4 вольт для логического нуля и от 0,4 до 0,8 вольт для логической единицы (рис. 4). Столь низкие напряжения выбраны из расчета удобства проектирования устройств для шины PCI-Express на современных 180-, 130- и 90-нм чипах, а также с целью снижения электромагнитных наводок и потребляемой мощности.

Как и в любой сети, передаваемые данные дополнительно нарезаются небольшими кусочками - фреймами. При тактовая частоте шины 2,5 ГГц без учета кодирования мы получим скорость передачи в 2,5 Гбит/с в каждом направлении. С учетом выбранной схемы «8/10» получается 250 Мбайт/с, однако многоуровневая сетевая иерархия не может не сказаться на скорости работы и реальная производительность шины оказывается значительно ниже — всего лишь чуть более 200 Мбайт/с *в каждую сторону* (в пике до 220–230 согласно документации Intel). Впрочем, даже это на 50% больше, чем *теоретическая* пропускная способность шины PCI. Но это далеко не предел: пожалуй, единственная *интересная* особенность PCI Express — возможность объединения в одну шину нескольких независимых линий передачи данных. Стандартом предусмотрено использование 1, 2, 4, 8, 16 и 32 линий — передаваемые данные *поровну распределяются по ним* по схеме «первый байт на первую линию, второй — на вторую, …, n-й байт на n-ю линию, n+1-й снова на первую, n+2 снова на вторую» и так далее (см. рис. 5).

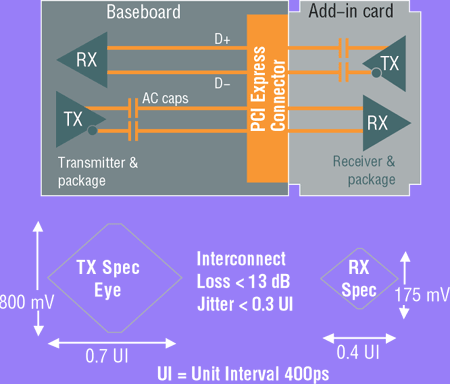


Рис. 4. Схема и электрика шины PCI Express x1.

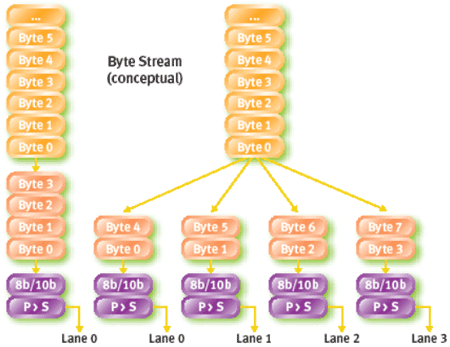


Рис. 5. Асинхронная передача данных по нескольким линиям шины PCI Express.

Это не параллельная передача данных и даже не увеличение разрядности шины (поскольку все передающиеся по линиям данные передаются абсолютно независимо и асинхронно) — это именно объединение нескольких независимых линий. Причем, передача по нескольким линиям никак не влияет на работу остальных слоев «пирамиды» и реализуется сугубо на «нижнем», физическом уровне (рис. 2). Именно этим достигается великолепная масштабируемость шины PCI Express — она позволяет организовывать шины с максимальной пропускной способностью до 32x200=6,4 Гбайт/с — как раз под стать пропускной способности лучших параллельных шин сегодняшнего дня (см. также таблицу 1).

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | | | | | | | | | |
| **Таблица 1. Число контактов в разъемах и полоса пропускания шин PCI, PCI-X, AGP и PCI Express** | | | | | | | | | |
|  |  | | |  | | | | | |
| **Тип слота** |  | | **Число контактов в разъеме** |  | | | | **Полоса пропускания, Мбайт/с** | |
|  | | | | **Теоретическая** | **Эффективная** |
| PCI (32 бит 33 МГц) | |  | 120 | |  | | | 133 | ~110 |
| PCI-X (64 бит 133 МГц) | |  | 184 | |  | | | 1064 | ~900 |
| PCI Express x1 | |  | 36 | | |  | | 250 | ~220 |
| PCI Express x4 | |  | 64 | | |  | | 1000 | ~800 |
| PCI Express x8 | |  | 98 | | |  | | 2000 | ~1600 |
| PCI Express x16 | |  | 164 | | |  | | 4000 | ~3200 |
| PCI Express x32 | |  | 294 | | |  | | 8000 | ~6400 |
| AGP 8x | |  | 124 | | | |  | 2133 | ~2000 |

PCI Express относится к шинам класса «точка-точка», то есть одна шина может соединять только два устройства (в отличие от PCI, где на общую шину «вешались» все PCI-слоты компьютера), поэтому для организации подключения более чем одного устройства в топологию организуемой PCI Express, как и в Ethernet-решениях на базе витой пары или устройствах USB, придется вставлять «хабы» и «свитчи», распределяющие поступающий сигнал по нескольким шинам. Это тоже одно из главных отличий PCI Express от прежних параллельных шин.

Впрочем, на схеме рис. 2 физический уровень не зря «троится» — на самом деле в качестве «физического носителя» PCI Express может выступать что угодно, хоть тот же Gigabit Ethernet! Во-первых, это позволит по мере развития электроники легко нарастить тактовую частоту шины (ее обещают поднять вчетверо и довести до 10 ГГц, что уже вплотную приближается к теоретическому пределу передачи сигнала по медным соединениям, оцениваемому в 15–20 ГГц, без малейшего ущерба для совместимости с приложениями и драйверами. А во-вторых, это позволит реализовывать весьма необычные по меркам сегодняшнего дня решения. Как вам нравится идея разделить системный блок на две части? Северный мост, процессор, память, видеокарта и, возможно, HDD c прочими «системными» компонентами останутся в первой половине, которую можно будет задвинуть куда-нибудь подальше и никогда ее не трогать. А южный мост и всю периферию — оптические приводы, дисководы и картоводы, звуковую карту, USB 2.0, FireWire и все соответствующие выходы можно поместить в компактный и красивый второй корпус, который может служить подставкой для монитора, или стильной коробочкой на столе. Все преимущества «баребонов» и никаких проблем с апгрейдом и перегревом компонент компьютера (можно будет, наконец, реализовать заветную мечту оверклокеров: поместить системный блок целиком в холодильник, но так, чтобы работа с ним при этом не затруднялась). Соединяться «половинки» компьютера будут как раз по единственной шине PCI Express, хотя физический носитель в этом случае, конечно, будет совсем другой — например, оптический. Фантастика, да и только!

Появились в стандарте PCI Express (по сравнению с PCI) и другие возможности. Например, поддержка виртуальных каналов, QoS и изохронная передача данных. Подробнее об этом читайте во врезке.

# 8.Выводы

1. Рассмотрен интерфейс PCI - шины для подсоединения периферийных устройств.

2. Проанализированы разные спецификации PCI и их внутреннее устройст-во.

3. Показано, что новая версия PCI-Express 3.0, а также разрабатываемая в данное время, PCI-Express 4.0 являются универсальными интерфейсами и будут успешно использоваться в будущем как на персональных компьюте-рах, так и других автоматических системах, где необходима высокая ско-рость.

4. Рассмотрены преимущества PCI-Express перед её предшественницей PCI, а именно: высокая производительность, упрощение разводки периферии, уровневая архитектура, простота использования

# 9.Дополнения

[1] PCI- шина ввода/вывода для подключения периферийных устройств к материнской плате компьютера.

частота шины — 33,33 или 66,66 МГц, передача синхронная;

разрядность шины — 32 или 64 бита, шина мультиплексированная (адрес и данные передаются по одним и тем же линиям);

пиковая пропускная способность для 32-разрядного варианта, работающего на частоте 33,33 МГц — 133 Мбайт/с;

адресное пространство памяти — 32 бита (4 байта);

адресное пространство портов ввода-вывода — 32 бита (4 байта);

конфигурационное адресное пространство (для одной функции) 256 байт;

Развитием стандарта PCI Express занимается организация PCI Special Interest Group.

[2] QoS - в области компьютерных сетей называют вероятность того, что сеть связи соответствует заданному соглашению о трафике, или же, в ряде случаев, неформальное обозначение вероятности прохождения пакета между двумя точками сети.

[3] InfiniBand- высокоскоростная коммутируемая последовательная шина, применяющаяся как для внутренних (внутрисистемных), так и для межсистемных соединений.

[4] PCI-X - расширение шины PCI64 с добавлением двух новых частот работы, 100 и 133 МГц, а также механизма раздельных транзакций для улучшения производительности при одновременной работе нескольких устройств. Как правило, обратно совместима со всеми 3.3В и универсальными PCI-картами.

# 10.Список Литературы

1) Сергей Петров(Шины PCI, PCI Express. Архитектура, дизайн, принципы функционирования), БХВ-Петербург

2) <http://ru.wikipedia.org/wiki/PCI_Express>

3) Сергей Пахомов (Журнал «КомпьютерПресс»| PCI Express — технология будущего)

4) PCI-SIG (PCI Express Specifications) 2003-2011

5) http://article.techlabs.by/31\_7572.html